

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2002-118224

(P2002-118224A)

(43) 公開日 平成14年4月19日 (2002. 4. 19)

(51) Int.Cl.⁷

H 0 1 L 25/04

25/18

識別記号

F I

H 0 1 L 25/04

テーマコード* (参考)

Z

審査請求 未請求 請求項の数 5 O L (全 12 頁)

(21) 出願番号 特願2000-311699(P2000-311699)

(22) 出願日 平成12年10月5日 (2000. 10. 5)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 風間 敦

茨城県土浦市神立町502番地 株式会社日

立製作所機械研究所内

(72) 発明者 矢口 昭弘

茨城県土浦市神立町502番地 株式会社日

立製作所機械研究所内

(74) 代理人 100075096

弁理士 作田 康夫

最終頁に続く

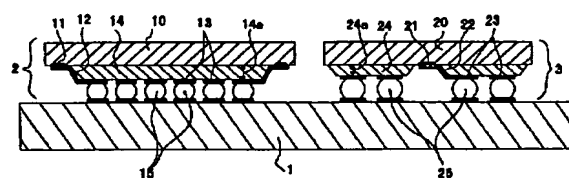
(54) 【発明の名称】 マルチチップモジュール

(57) 【要約】

【課題】 熱応力等に対して高い信頼性を有するマルチチップモジュールを提供する。

【解決手段】 マルチチップモジュールは、少なくとも2個以上の前記半導体チップは、前記半導体チップのチップ電極と、前記チップ電極に電氣的に連絡する導電性の配線と、前記配線に電氣的に連絡する導電性のランドと、前記ランドに設置される外部端子と、前記ランドと前記半導体チップとの間に介在する応力緩和層を有し、前記外部端子を介して前記実装基板に設置され、前記応力緩和層を有する第一の半導体チップの応力緩和層は、最も端部に位置する前記外部端子と前記半導体チップの中心からの距離が前記第一の半導体チップより小さい第二の半導体チップの前記応力緩和層以上の厚さを有する。

図2



【特許請求の範囲】

【請求項 1】半導体素子を有する半導体チップが実装基板に複数搭載されたマルチチップモジュールであって、少なくとも 2 個以上の前記半導体チップは、前記半導体チップのチップ電極と、前記チップ電極に電気的に連絡する導電性の配線と、前記配線に電気的に連絡する導電性のランドと、前記ランドに設置される外部端子と、前記ランドと前記半導体チップとの間に介在する応力緩和層を有し、前記外部端子を介して前記実装基板に設置され、

応力緩和層を有する第一の半導体チップの応力緩和層が、応力緩和層を有し、最も端部に位置する前記外部端子への前記半導体チップの中心からの距離が前記第一の半導体チップより小さい第二の半導体チップの応力緩和層より厚いことを特徴とするマルチチップモジュール。

【請求項 2】半導体素子を有する半導体チップが実装基板に複数搭載されたマルチチップモジュールであって、少なくとも 2 個以上の前記半導体チップは、前記半導体チップのチップ電極と、前記チップ電極に電気的に連絡する導電性の配線と、前記配線に電気的に連絡する導電性のランドと、前記ランドに設置される外部端子と、前記ランドと前記半導体チップとの間に介在する応力緩和層を有し、前記外部端子を介して前記実装基板に設置され、

応力緩和層を有する第一の半導体チップの応力緩和層が、応力緩和層を有し、最も端部に位置する前記外部端子の投影面積が前記第一の半導体チップより大きい第二の半導体チップの応力緩和層より厚いことを特徴とするマルチチップモジュール。

【請求項 3】請求項 1 あるいは 2 に記載のマルチチップモジュールにおいて、前記応力緩和層を有する半導体装置のうち少なくとも一つは、前記配線、および前記ランド、および前記外部端子、および前記応力緩和層の端部が、前記半導体チップの端部より内側に形成されていることを特徴とするマルチチップモジュール。

【請求項 4】請求項 1 から 3 に記載のマルチチップモジュールにおいて、前記応力緩和層を有する半導体装置のうち、前記半導体チップの基板材料として GaAs あるいは InP を含むことを特徴とするマルチチップモジュール。

【請求項 5】半導体素子を有する半導体チップが実装基板に複数搭載されたマルチチップモジュールであって、少なくとも 2 個以上の前記半導体チップは、前記半導体チップのチップ電極と、前記チップ電極に電気的に連絡する導電性の配線と、前記配線に電気的に連絡する導電性のランドと、前記ランドに設置される外部端子と、前記ランドと前記半導体チップとの間に介在する応力緩和層を有し、前記外部端子を介して前記実装基板に設置され、前記外部端子の周囲には空間を設け、

応力緩和層を有する第一の半導体チップの端部と、第一

の半導体チップに隣接して配置された応力緩和層を有する第二の半導体チップの端部との間隔を 1 mm 未満にしたことを特徴とするマルチチップモジュール。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体チップを実装基板に複数搭載したマルチチップモジュールに関する。

【0002】

10 【従来の技術】近年、携帯電話、ノート型コンピュータ、PDA(Personal Digital Assistance)などが急速に普及する中で、これら民生用の電子システムの、小型・軽量化、高機能化が急速に進められており、それを実現するため、CPU、マイコン、ロジック、メモリなどの半導体デバイスと、受動系の電子部品などを高密度に実装して、システムモジュールとして組み上げる技術が必要になっている。

【0003】その究極の姿は、すべてのデバイスを 1 チップの中に作り込む、システム・オン・チップであるが、異なるデバイスを同時に作り込むことの困難さから、歩留まり低下の恐れがあり、またこうしたシステムモジュールは、製品ごとのオーダーメイドとなり、異なる構成で少量ずつの生産になりやすく、こうした製品に対してデバイスの段階から設計し直しては、コストに見合わないという問題がある。そこで、別々に作った複数のチップを、なるべく短い配線長で高密度に実装して、一つのシステムモジュールに組み上げる、MCM(マルチ・チップ・モジュール)の技術開発が盛んになっている。

【0004】従来の MCM の例として、特開平 10-126044 号公報に、複数の半導体チップをはんだを介してベース基板にフリップチップ実装し、半導体素子とベース基板との間に封止樹脂を流し込んだ構造の MCM の記載がある。

【0005】また、特開 2000-196008 号公報に、基板上に 3 個以上の半導体チップを平面的に配置して、細線により電気的に接続し、半導体チップおよび細線の全体を封止樹脂により覆い、基板の裏面に外部電極となるボールグリッドアレイを形成した、マルチチップ型半導体装置についての記載がある。

40 【0006】

【発明が解決しようとする課題】しかしながら特開平 10-126044 号公報、特開 2000-196008 号公報の何れにも、熱応力等に対してマルチチップモジュール全体としての信頼性を向上させることについては記載されていない。

【0007】よって、本発明は、熱応力等に対して高い信頼性を有するマルチチップモジュールを提供することにある。

50 【0008】

【課題を解決するための手段】上記の課題を克服するために、本発明のマルチチップモジュールは以下のように構成される。

【0009】第一の発明は、半導体素子を有する半導体チップが実装基板に複数搭載されたマルチチップモジュールであって、少なくとも2個以上の前記半導体チップは、前記半導体チップのチップ電極と、前記チップ電極に電気的に連絡する導電性の配線と、前記配線に電気的に連絡する導電性のランドと、前記ランドに設置される外部端子と、前記ランドと前記半導体チップとの間に介在する応力緩和層を有し、前記外部端子を介して前記実装基板に設置され、前記応力緩和層を有する第一の半導体チップの応力緩和層が、前記応力緩和層を有し、最も端部に位置する前記外部端子と前記半導体チップの中心からの距離が前記第一の半導体チップより小さい第二の半導体チップの前記応力緩和層より厚いものである。

【0010】本発明のマルチチップモジュールの信頼性を高める場合、そこに搭載される複数の応力緩和層付き半導体チップの信頼性をそれに合わせようとするれば、最外端子距離が大きいチップほど、応力緩和層によるひずみ吸収をより大きくししなければならない。応力緩和層は、材料の弾性率が小さく、厚さが厚くなるほど、ひずみを吸収する能力が高くなる。応力緩和層の材料は同程度のものを用いるとすれば、最外端子距離の大きいものの、応力緩和層の厚さを厚くすることにより、外部端子の信頼性の差を小さくできる。

【0011】実装基板に複数個搭載される応力緩和層を有する半導体チップは、外部端子が半導体チップの面内にあるいはそれに近い範囲に配置されている、チップサイズの小型パッケージである。基板実装状態で温度変化が加わると、半導体チップと実装基板の熱膨張差によるひずみが、間に挟まれた外部端子に集中しやすいが、外部端子と半導体チップとの間に介在する応力緩和層の変形によりこのひずみを吸収し、温度サイクルにおける外部端子の寿命を向上できる。従来のベアチップ実装によるマルチチップモジュールにおいて行っていたアンダーフィルによる補強を行わない場合であっても、外部端子の信頼性を高めることができるため、実装時のアンダーフィル工程を省くことができ低コストになる。また、実装後のリペアが可能になる。また、この場合は、効果的に冷却する観点から、外部端子の周囲には空間を有することが好ましい。また、半導体チップ上に配線して、チップのチップ電極のピッチに対して広いピッチで外部端子を配置しているので、基板への実装が容易であり、高密度な実装基板を必須としない。また、熱膨張による変位差を応力緩和層が吸収するために、チップに発生する応力も低減できる。また、チップクラックも抑制できる。これにより、信頼性の高いMCMを安価に得ることができる。基板実装が容易で、チップクラックを抑制できるMCMが得られる。

【0012】また、少なくとも2個以上の前記半導体チップは、前記半導体チップのチップ電極と、前記チップ電極に電気的に連絡する導電性の配線と、前記配線に電気的に連絡する導電性のランドと、前記ランドに設置される外部端子と、前記ランドと前記半導体チップとの間に介在する応力緩和層を有し、前記外部端子を介して前記実装基板に設置され、外部端子の周囲には空間を設け、前記応力緩和層を有する第一の半導体チップの端部と、第一の半導体チップの隣接して配置された前記応力緩和層を有する第二の半導体チップの端部との間隔を1mm未満にしたマルチチップモジュールを形成することが好ましい。

【0013】アンダーフィル実装においては、アンダーフィルは、半導体チップの端部から実装基板表面に向けて外側に広がるように形成される（アンダーフィルフィレット）。また、アンダーフィルを注入するノズルを通すためにも、隣接して実装される半導体チップの間隔は、1～2mm程度必要である。一方、本発明のマルチチップモジュールの応力緩和層を有する半導体装置においてアンダーフィルを省略する場合は、半導体チップと同サイズに形成することができるので、複数の半導体チップをより高密度に実装することが可能である。その際、高密度に実装しても効果的な冷却ができる。例えば、隣接する半導体チップの間隔を1mm未満、より実装密度を高めるために、例えば0.5mm以下程度にすることも考えられる。また、両チップ端部は接触させない程度の狭さにすることができる。

【0014】また、第二の発明は複数の前記応力緩和層を有する半導体チップを備えたマルチチップモジュールであって、前記応力緩和層を有する第一の半導体チップの応力緩和層が、前記応力緩和層を有し、最も端部に位置する前記外部端子の投影面積が前記第一の半導体チップより大きい第二の半導体チップの前記応力緩和層より厚いことを特徴とする。

【0015】外部端子の寿命は、外部端子のサイズによっても変化する。外部端子のサイズが大きいほど、外部端子自身によるひずみの吸収が大きくなるので、外部端子の信頼性が上がる。よって、外部端子を配列するピッチ等が小さく、外部端子のサイズが小さいとき等は、前記のように前記応力緩和層の厚さを厚くして全体の応力吸収力の格差を是正して全体での信頼性を向上させることができる。

【0016】ただし、プロセスの統一化によるコスト低減メリットが大きいときには、最も最外端子距離が大きい応力緩和層付き半導体装置において信頼性が確保できる程度の厚さの応力緩和層を、他の応力緩和層付き半導体装置においても形成してもよい。

【0017】なお、前記マルチチップモジュールにおいては、前記応力緩和層を有する半導体装置のうち少なくとも一つは、前記配線、および前記ランド、および前記

10

20

30

40

50

外部端子、および前記応力緩和層の端部が、前記半導体チップの端部より内側に形成されていることが好ましい。尚、その際には、例えば前記配線は薄膜配線を用いることが好ましい。

【0018】半導体チップの材料としては従来Siが主流であったが、近年では、例えば通信系の高速信号処理や光信号処理などにGaAsやInPなどの化合物半導体を用いられるようになってきた。こうした化合物半導体は、一般にSiに比べてもろいため、前述したチップクラックの問題が顕著になる。本発明のマルチチップモジュールにおいては、上記のような化合物半導体の半導体チップに応力緩和層付き半導体装置を適用することにより、半導体チップにかかる応力を低減し、チップクラックを防止することができる。

【0019】

【発明の実施の形態】本発明は、複数の半導体デバイスと受動系の電子部品などを高密度に基板実装して、システムとして動作するような機能を有するマルチチップモジュールに適応することができる。実装基板に搭載される半導体デバイスとしては、例えば、CPU、マイコン、ロジック、メモリ（DRAM、SRAM、Flashなど）、あるいは画像処理専用チップ、インタフェースなどを1チップ化した専用チップなど、製品によってさまざま考えられる。受動系部品は、チップコンデンサや抵抗など、主にノイズの低減など回路の安定化のために組み込まれているもので、実装基板の内部に組み込まれている場合であってもよい。

【0020】本発明の第1の実施形態を示す平面図を図1に、断面図を図2に示す。図1に示すように、本発明の第1の実施形態は、実装基板1上に、第1の半導体チップ10、第2の半導体チップ20の2つの半導体デバイスと、4つの受動部品4が実装された、基本的な構成の例である。

【0021】図2は、本発明の一実施例の、第1の半導体チップ10および第2の半導体チップ20を含む断面（図1のA-A断面）における断面図を示したものである。図2に示すように、第1の半導体チップ10表面には、チップ電極11と、チップ電極11から引き出される導電性の配線12と、それに連なる導電性のランド13と、少なくとも半導体チップ10とランド13との間に介在する応力緩和層14と、ランド13に接合される外部端子15とを有する。第1の応力緩和層付き半導体装置2は、外部端子15を介して実装基板1に実装されている。同様に、第2の半導体チップ20も、チップ電極21、導電性の配線22、導電性のランド23、応力緩和層24、外部端子25を有する。この第2の応力緩和層付き半導体装置3は、外部端子25を介して実装基板1に実装されている。

【0022】外部端子15および25は、例えば、はんだ材料（Pb-Sn共晶、Sn-Ag-Cu系、Sn-

Ag-Cu-Bi系など）が用いられ、ボール状に形成される。

【0023】本発明のマルチチップモジュールにおいては、第1の半導体チップ10、第2の半導体チップ20ともに、実装基板1との間に応力緩和層14あるいは24が介在しているため、半導体チップと実装基板の熱膨張差によるひずみを、この応力緩和層の変形により吸収し、外部端子であるはんだバンプに発生するひずみを低減して、はんだバンプの温度サイクルにおける寿命を向上する。

【0024】半導体チップをベアチップ実装、すなわちチップ電極上に直接形成した外部端子を介して基板に実装した場合、上述した半導体チップと実装基板の熱膨張差によるひずみにより、外部端子が早期に疲労するため、半導体チップと実装基板の間にアンダーフィルと呼ばれる樹脂を注入して、外部端子周囲を補強することにより、外部端子の信頼性を確保していた。しかしながら、アンダーフィルは、材料費が高く、注入工程に時間がかかり、またボイドなどが発生しない信頼性の高い注入方法のノウハウが必要であるなどの問題があった。

【0025】本発明のマルチチップモジュールにおいては、応力緩和層の変形により外部端子の信頼性を確保できる。加えて、アンダーフィル樹脂による補強を省略する場合、更に低コスト化もできる。冷却効果を高めることも考えられる。はんだバンプで実装しているため、熱によりはんだを溶融させることで容易に取り外しができる。このため、不良チップの交換はアンダーフィルをしたものに比べて容易となる。

【0026】また、従来のベアチップ実装においては、狭ピッチ（一般的に100μm程度）で配列したチップ電極上に形成した外部端子により基板実装するので、基板搭載の際の位置合わせ精度にかなり高いものが要求される。一方、本発明の応力緩和層付き半導体装置は、チップ電極から引き回した配線によりピッチを拡大しているので、高い位置合わせ精度を必要としないようにすることもできる。

【0027】以上のように、本発明のマルチチップモジュールにおいては、従来のベアチップ実装によるマルチチップモジュールと比較して、外部端子のピッチが拡大しており、かつアンダーフィルの必要がないため、半導体チップの実装基板への実装が容易であり、また実装後のリペアが可能であるという特徴がある。また、外部端子のピッチを拡大するために、実装基板の側も、外部端子接合用のランドのピッチを大きくでき、安価な基板を使用できるという特徴がある。

【0028】また、搭載される半導体チップの材料としては、Siを主材料とするものが主であるが、例えば携帯電話などで用いられる、通信のために高周波信号の処理を行うチップなどには、GaAsやInPなどの化合物半導体を用いられる場合がある。半導体チップと実装

10

20

30

40

50

基板の熱膨張差によるひずみを吸収して、半導体チップに大きな応力が発生して、半導体チップに負担が加わることを抑制できる。本発明の応力緩和層付き半導体装置においては、熱ひずみを外部端子と応力緩和層の両方で吸収できるため、半導体チップに発生する応力を非常に小さくできる。よって、上記したようなSiよりも脆い材料を用いた半導体チップは、応力緩和層付き半導体装置に組み立てて実装基板に実装することが望ましい。

【0029】また、アンダーフィル実装においては、アンダーフィルは、半導体チップの端部から実装基板表面10 に向けて外側に広がるように形成される（アンダーフィルフィレット）。また、アンダーフィルを注入するノズルを通すためにも、隣接して実装される半導体チップの間隔は、1〜2mm程度必要である。一方、本発明のマルチチップモジュールの応力緩和層付き半導体装置は、半導体チップと同サイズに形成することが可能で、かつアンダーフィル実装を省略して、複数の半導体チップをより高密度に実装することが可能である。例えば、隣接する応力緩和層付き半導体チップの端部間隔を1mm未満、例えば0.5mm以下等に設置することができる。

【0030】前述の応力緩和層は、弾性率が小さく、厚いほど、ひずみを吸収する能力が高く、外部端子の信頼性を向上できる。

【0031】マルチチップモジュールに要求される信頼性レベルを満足するには、搭載されるすべての半導体装置において、外部端子の信頼性をそのレベル以上にする必要があるが、複数の異なる半導体チップに対しては、この信頼性レベルを満足するための、応力緩和層の要求仕様は同一ではない。

【0032】複数の異なる半導体チップに対して、材料および厚さの等しい応力緩和層を形成した応力緩和層付き半導体装置を適用したとすると、それら複数の応力緩和層を有する半導体装置において、外部端子の寿命は異なる。なぜなら、半導体チップと実装基板の熱膨張による変位差は、半導体チップの中心から遠い位置ほど大きくなるため、半導体チップ中心から遠い位置に配置された外部端子ほど、大きなひずみが発生する可能性がある。よって最も外側に位置する外部端子の半導体チップ中心からの距離（以下、最外端子距離と呼ぶ）が大きい半導体装置ほど、外部端子におきなひずみが発生する可能性10 があるためである。

【0033】よって、本マルチチップモジュールの信頼性を高めるために、第1の応力緩和層付き半導体装置2の方が、第2の応力緩和層付き半導体装置3よりも、上記最外端子距離が大きいとすると、両者の外部端子の信頼性を同等にするために、第1の応力緩和層付き半導体装置2の方が応力緩和層によるひずみの吸収を大きくする。応力緩和層の材料は同程度のものを用いるとすれば、応力緩和層の厚さを厚くすることにより、ひずみ吸収の能力を大きくできるので、第1の応力緩和層付き半

導体装置2における応力緩和層14の厚さ14aの方が、第2の応力緩和層付き半導体装置3における応力緩和層24の厚さ24aよりも厚くする。なお、上記最外端子の距離に代えて、最も遠い外部端子間の距離を比較して、大きい方のチップの応力緩和層の厚さを小さい方の応力緩和層の厚さより厚くする。

【0034】外部端子の寿命は、外部端子のサイズによっても変化する。外部端子のサイズが大きいほど、外部端子自身によるひずみの吸収が大きくなるので、外部端子の信頼性が上がる。よって、第2の応力緩和層付き半導体装置3の外部端子の配列ピッチが小さく、外部端子サイズが第1の応力緩和層付き半導体装置2より小さい場合は、第1の半導体装置2より第2の半導体装置3の応力緩和層の厚さを厚くする。

【0035】尚、外部端子サイズに代えて、ランドの径（例えば最外端子のランド径）を比較して、径が小さい方の半導体装置の応力緩和層の厚さを大きい方の半導体装置の厚さを厚くする。

【0036】また、一例として、第2の応力緩和層付き半導体装置3の方が最外端子距離が小さい場合でも、外部端子を配列するピッチが小さく、外部端子のサイズを小さくせざるを得ない場合には、最外端子距離の大きい第1の応力緩和層付き半導体装置2よりも、応力緩和層の厚さを厚くしないと、信頼性を得られない場合もある。そうした場合には、外部端子のサイズが小さい第2の応力緩和層付き半導体装置3の方を、応力緩和層の厚さを厚くすることが考えられる。

【0037】応力緩和層の厚さを厚くするほど、外部端子の信頼性は向上するが、一方で、応力緩和層を厚くするほど、応力緩和層の材料費が上がる。また、チップ電極と応力緩和層上のランドとを接続する配線を薄膜配線プロセスにより形成する場合、応力緩和層が厚くなると、フォトレジストの露光・現像が困難になる。よって、応力緩和層の厚さは、2つの応力緩和層付き半導体装置において必要な信頼性レベルを確保できる程度に調整して、それ以上に厚くしないことにより、最も無駄のない構成になる。

【0038】なお、プロセスの統一化によるコスト低減メリットが大きいときは、両者の応力緩和層を同程度の厚さに形成してもよい。

【0039】また、外部端子数の少ない応力緩和層付き半導体装置においても、例えば応力緩和層が厚くても配線形成がそれほど困難にならない形成プロセス（例えばリードやワイヤーによる接続）を用いた場合など、応力緩和層の形成しやすい。

【0040】よって、条件によっては、外部端子数が多い応力緩和層付き半導体装置よりも厚い応力緩和層が形成することもできる。

【0041】応力緩和層の材料としては、例えば、ポリイミド樹脂、ポリエーテルイミド樹脂、ポリイミドアミ

ド樹脂、アクリル変成エポキシ樹脂、ゴムを配合したエポキシ樹脂、シリコン樹脂などがあり、ひずみを吸収する効果を得るために、常温における縦弾性係数が、2000MPa以下程度の低弾性であることが望ましい。その際、100MPa以上程度の弾性は確保することが望ましい。実用的には、500以上1000以下MPa程度の範囲のものを使用することができる。

【0042】図2の断面図に示した応力緩和層付き半導体装置の構成においては、本発明の主要な効果を説明するために必要な部材のみを記載しており、詳細な構成は省略している。本第1の実施形態の第1の応力緩和層付き半導体装置2の詳細な構成の一例を示す平面図を図3に、断面図を図4に示す。図3は、内部構造が分かるように、外部端子と表面保護膜の一部を除去した状態の図を示した。

【0043】図3に示すように、第1の半導体チップ10は、チップ周辺部の4辺にチップ電極11が配置されており、配線12により中央部へ引き出されており、外部端子15が接合するランド13は、チップ電極11よりもピッチが拡大して配列している。例えばマイコンのように、外部端子の数が数百程度と多い場合には、チップ電極を中央部よりも周辺部に配列する場合が多い。図4に断面図を示す。応力緩和層14は、少なくともランド13と第1の半導体チップ10との間に介在することにより、熱ひずみを吸収して、外部端子の信頼性を向上できる。

【0044】以下、図2で省略した部材について説明する。パッシベーション膜16は、半導体チップ10のチップ電極11形成面を覆うように形成される、非常に薄い膜であり、半導体チップ表面の保護のために、ウエハ工程において形成されることができる。

【0045】パッシベーション膜16と応力緩和層14との間に介在するように、絶縁膜17を形成してもよい。本応力緩和層付き半導体装置2では、配線12と半導体チップ10の内部配線との間に厚い応力緩和層14が介在するため、両者の間の静電容量を低減でき、クロストークノイズによる誤動作を起こしにくいという特徴がある。しかしながら、チップ電極11の周囲においては、配線12が薄いパッシベーション膜16上に直接形成されるため、高速動作が必要な場合には、この部分の静電容量が問題となる場合がある。絶縁膜17を、チップ電極11周囲において、配線12と半導体チップ10との間に介在するように形成することにより、この部分の静電容量を大きく低減することができる。

【0046】また、本応力緩和層付き半導体装置2の最表面には、主に配線の保護を目的として、表面保護膜18を形成する。表面保護膜18には、ランド13上に開口部を形成し、ランド13と外部端子15を接合する。

【0047】また、図2に示すように、平面的に見た半導体チップ10の中心から、最も離れた位置にある外部

端子までの距離が、前述した最外端子距離19である。

【0048】本第1の実施形態の第2の応力緩和層付き半導体装置3の詳細な構成の一例を示す平面図を図5に、断面図を図6に示す。図5は、内部構造が分かるように、外部端子と表面保護膜の一部を除去した状態の図を示した。

【0049】基本的な構成は第1の応力緩和層付き半導体装置2と同様であるが、チップ電極21が半導体チップ20の中央部に配列しているところが異なる。メモリ製品など、外部端子の数が数十と比較的少ない場合には、本例のようにチップ電極が中央部に配列される場合がある。図5に示すように、中央のチップ電極21から配線22により周辺部へ引き出されており、外部端子25が接合するランド23は、チップ電極21よりもピッチが拡大して配列している。図2で省略されていた部材についても、第1の応力緩和層付き半導体装置と同様であり、半導体チップ20表面にはパッシベーション膜16が、半導体装置の最表面には表面保護膜18が形成されており、パッシベーション膜16と応力緩和層14との間に介在する絶縁膜17を形成してもよい。

【0050】チップ電極の配置に関しては、図3に示した周辺4辺配置、および図5に示した中央1列配置に限ったものではなく、例えば、図7の平面図に示すように、周辺の2辺に配置する場合もある。さらに、周辺と中央の両方に配置する場合、またそれらを2列以上に配置する場合など、さまざまな配列が考えられる。こうしたさまざまな配列の応力緩和層付き半導体装置が、本実施例の第1の応力緩和層付き半導体装置、あるいは第2の応力緩和層付き半導体装置に用いられてもよい。外部端子の配置についても、本実施例において図示した配置に限ったものではない。

【0051】また、図3～図7で例示した応力緩和層付き半導体装置においては、構成部材がすべて半導体チップの面内に形成されているため、ウエハレベルでの製造を行ってもよい。すなわち、従来の半導体装置製造工程では、ウエハ上に多数の半導体チップが形成され、パッシベーション膜が形成された状態から、ダイシングして切り出した一つ一つの半導体チップに対して、配線形成、外部端子形成などの半導体装置製造工程を行っていたが、本応力緩和層付き半導体装置においては、ウエハの状態のまま応力緩和層、配線などを形成していき、外部端子を形成した後に、ダイシングして個々の半導体装置に切り離すという、ウエハレベルの製造方法を適用することが可能である。これにより、半導体チップ一つ一つに対して半導体装置に組み立てる作業を行うよりも、製造コストを大幅に低減できる可能性がある。また、ウエハレベルで製造する場合、応力緩和層は、例えばスクリーンマスクを用いて印刷法により形成することが望ましい。これにより、ウエハ一括で形成することができ、またチップ電極上を除いて形成することが容易なためで

ある。また、配線およびランドは、ウエハ一括で形成するため、スパッタおよびメッキなどを用いた薄膜配線形成プロセスを用いることが望ましい。

【0052】ウエハレベルの製造方法を用いると、ウエハあたりから取得できる半導体装置の数が多くなればなるほど、その製造コストを低減できることになる。しかしながら、例えば半導体チップが大きいとか、半導体チップの歩留まりが悪いなどの理由で、ウエハあたりから取得できる良品の半導体チップが少ない場合には、一つ一つの半導体チップに対して製造を行った方が低コストになる場合もある。

【0053】チップ一つ一つに対して製造を行うことを前提とした応力緩和層付き半導体装置の構成の例を、図8、図9の断面図に示す。図8は半導体チップ30の周辺部にチップ電極31が配置されている場合である。半導体チップ30表面に形成されたパッシベーション膜36上には、チップ電極32上を除いて応力緩和層34を形成し、さらに配線32およびランド33が設けられたテープ状物37を貼り付ける。配線32は一部テープ状物37から突出したリード部を有し、このリード部の先端をチップ電極32と接続して電氣的接続を得る。そして配線32のリード部およびチップ電極32との接続部を封止樹脂38によって封止する。

【0054】本構成においても、応力緩和層34により熱ひずみを吸収し、外部端子の信頼性を向上することができる。また、前記第1の実施例のマルチチップモジュールにおいて、第1あるいは第2の応力緩和層付き半導体装置のどちらか、あるいは両方に、本構成の応力緩和層付き半導体装置を適用した場合においても、マルチチップモジュールの信頼性を満足するため、最外端子距離が大きい、あるいは外部端子が小さい応力緩和層付き半導体装置の方が、応力緩和層を厚くするか、あるいは同等にする。ただし、本構成の応力緩和層付き半導体装置においては、応力緩和層上の配線とチップ電極との接続をリードによって行っているため、薄膜配線を形成する図3～図7の構成と比べて、応力緩和層が厚くなくても配線形成がそれほど困難にならない。よって、第2の応力緩和層付き半導体装置に本構成を適用したとき、応力緩和層を薄くすることによる材料費の低減のメリットよりも、応力緩和層の形成のしやすさや、既存設備をそのまま使用することなどのメリットの方が大きい場合には、信頼性がオーバースペックになるのを承知で、応力緩和層が厚く形成される場合がある。

【0055】図9は図8の構成とほぼ同様であるが、チップ電極31が半導体チップ32の中央部に配列している場合の例を示している。チップ中央のチップ電極31から配線32が周辺部に引き出される部分が異なるが、他は図8の構成と同様である。また、本構成においては、チップ一つ一つに対して製造を行うので、応力緩和層34およびテープ状物37が半導体チップ30端部か

らはみだしても構わない。またその場合、外部端子が半導体チップ端部よりも外側に形成されても構わない。

【0056】図2に示したように、本発明のマルチチップモジュールでは、複数の半導体チップおよび受動系電子部品が高密度に基板実装されており、一つのシステムとして動作する機能を有するモジュールである。このモジュールは、例えば図10の断面図に示すように、はんだボールなどの外部端子41を介してマザーボードに二次実装される。実装基板1は多層の配線層を有し、半導体チップ搭載面のランド42から、配線43およびスルーホール44によって裏面に電氣的に引き出されており、裏面のランド45を介して外部端子41が設けられている。この外部端子41を介して、マザーボードに搭載される。図10には実装基板を貫通するスルーホール44が設けられた例を示したが、実装基板を貫通しない複数のスルーホールを介して配線が裏面に引き出されてもよい。

【0057】また、本発明のマルチチップモジュールでは、外部端子のピッチを拡大した上で実装基板に搭載するため、従来のベアチップ実装によるマルチチップモジュールのように、高密度にランドを配置した専用基板を必要としないため、応力緩和層付き半導体装置および受動系電子部品を直接マザーボードに搭載してもよい。すなわち、図2における実装基板1はマザーボードの一部分であり、前述の電子部品が高密度実装されたマザーボードの一部分をして、一つのシステムとしての機能を有するマルチチップモジュールとみなす。

【0058】本発明のマルチチップモジュールにおいて、搭載される半導体チップは3つ以上であっても構わない。そのうちの少なくとも2つ以上が、図3～図9に示したような応力緩和層付き半導体装置の形態を為して実装基板に接合されている。

【0059】マルチチップモジュールにある信頼性レベルが要求されており、搭載された複数の応力緩和層付き半導体装置において、最も最外端子距離が大きいものにおいて前記信頼性レベルが確保できる程度の応力緩和層の厚さよりも厚く形成しないようにし、最外端子距離が大きいもののほど、応力緩和層の厚さを厚くして、複数の応力緩和層付き半導体装置において外部端子の信頼性を同程度にすることが、応力緩和層の材料費低減などの観点からは好ましい。ただし、プロセスの統一化によるコスト低減のメリットが大きい場合には、最外端子距離の小さいものについても、最外端子距離が大きいものに合わせて、同程度の厚さの応力緩和層を形成してもよい。

【0060】また、外部端子のサイズが他と比較して小さい応力緩和層付き半導体装置においては、他の最外端子距離が大きい応力緩和層付き半導体装置よりも、応力緩和層を厚く形成して全体の信頼性を確保することも考えられる。最外端子距離よりも、外部端子のサイズの方が、外部端子の寿命に対する影響が大きい場合には、外

部端子のサイズが小さい応力緩和層付き半導体装置ほど、応力緩和層の厚さを厚くして全体での信頼性を確保することができる。

【0061】また、図8および図9に示したような、リードによる配線接続を行う応力緩和層付き半導体装置が搭載されている場合、薄膜配線を用いるものに比べて、応力緩和層が厚くなっても、配線形成がそれほど困難にならないので、応力緩和層を薄くすることによる材料費の低減のメリットよりも、応力緩和層の形成のしやすさや、既存設備をそのまま使用することなどのメリットの方が大きい場合には、信頼性がオーバースペックになるのを承知で、最外端子距離が最も大きい応力緩和層付き半導体装置よりも、応力緩和層を厚く形成する場合がある。また、本発明のマルチチップモジュールには、応力緩和層付き半導体装置の形態をなしていない半導体チップが搭載されていても構わない。例えば、最外端子距離が比較的小さく、また外部端子のサイズも比較的大きい場合、応力緩和層によってひずみを吸収しなくても、外部端子の信頼性が確保できる場合がある。このような場合には、図11の断面図に示すように、応力緩和層がない構成を用いてもよい。この場合、配線62と半導体チップ内部配線との間の静電容量を低減するため、配線62とパッシベーション膜66の間に絶縁膜67を形成することが望ましい。

【0062】また、複数の半導体チップを一つのパッケージにまとめたマルチチップパッケージが含まれている場合もある。マルチチップパッケージの構成の一例を示す断面図を図12に示す。半導体チップ70が、チップ電極73形成面と反対の面で、接着層72を介して専用基板71に貼り付けられており、チップ電極73と専用基板71上のボンディングパッド74を導電性のワイヤ75で接続して、半導体チップ70と専用基板71を電氣的に接続している。ボンディングパッド74から、配線76、スルーホール77を経由して専用基板70の半導体チップ70接着面と反対の面に形成したランド78まで、電氣的に引出され、ランド78に外部端子79を接合している。半導体チップ70およびワイヤ75とその接合部付近は、封止樹脂80により封止されている。図10には実装基板を貫通するスルーホール44が設けられた例を示したが、実装基板を貫通しない複数のスルーホールを介して配線が裏面に引き出されてもよい。

【0063】

【発明の効果】本発明により、熱応力等に対して高い信頼性を有するマルチチップモジュールを提供することができる。

【図面の簡単な説明】

【図1】本発明における第1の実施形態のマルチチップモジュールの平面模式図。

【図2】本発明における第1の実施形態のマルチチップモジュールの断面模式図。

【図3】本発明における第1の実施形態に含まれる第1の応力緩和層付き半導体装置の詳細構造を示す平面模式図。

【図4】本発明における第1の実施形態に含まれる第1の応力緩和層付き半導体装置の詳細構造を示す断面模式図。

【図5】本発明における第1の実施形態に含まれる第2の応力緩和層付き半導体装置の詳細構造を示す平面模式図。

【図6】本発明における第1の実施形態に含まれる第2の応力緩和層付き半導体装置の詳細構造を示す断面模式図。

【図7】チップ電極が周辺2辺配置である応力緩和層付き半導体装置の詳細構造を示す平面模式図。

【図8】半導体チップ一つ一つに対して製造を行う応力緩和層付き半導体装置（チップ電極周辺配置）の断面模式図。

【図9】半導体チップ一つ一つに対して製造を行う応力緩和層付き半導体装置（チップ電極中央配置）の断面模式図。

【図10】実装基板の裏面に外部端子を形成した本発明のマルチチップモジュールの断面模式図。

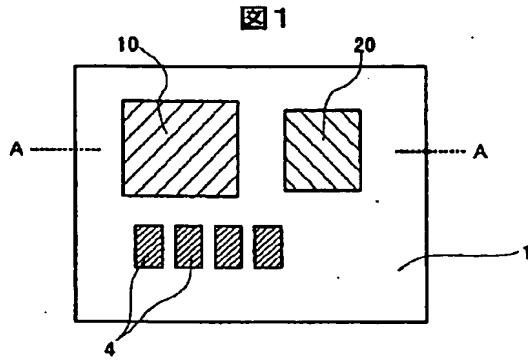
【図11】応力緩和層を形成しない半導体装置の断面模式図。

【図12】複数の半導体チップを搭載したマルチチップパッケージの断面模式図。

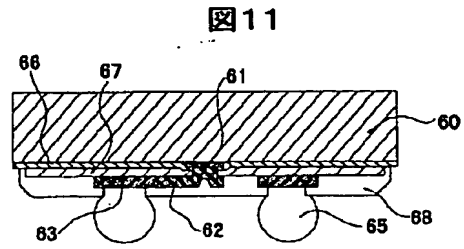
【符号の説明】

1…実装基板、2…第1の応力緩和層付き半導体装置、3…第2の応力緩和層付き半導体装置、4…受動部品、10…第1の半導体チップ、11…チップ電極、12…配線、13…ランド、14…応力緩和層、14a…応力緩和層の厚さ、15…外部端子、16…パッシベーション膜、17…絶縁膜、18…表面保護膜、19…最外端子距離、20…第2の半導体チップ、21…チップ電極、22…配線、23…ランド、24…応力緩和層、24a…応力緩和層の厚さ、25…外部端子、26…パッシベーション膜、27…絶縁膜、28…表面保護膜、30…半導体チップ、31…チップ電極、32…配線、33…ランド、34…応力緩和層、35…外部端子、36…パッシベーション膜、37…テープ状物、38…封止樹脂、41…外部端子、42…ランド、43…配線、44…スルーホール、45…ランド、60…半導体チップ、61…チップ電極、62…配線、63…ランド、65…外部端子、66…パッシベーション膜、67…絶縁膜、68…表面保護膜、70…半導体チップ、71…専用基板、72…接着層、73…チップ電極、74…ボンディングパッド、75…ワイヤ、76…配線、77…スルーホール、78…ランド、79…外部端子、80…封止樹脂

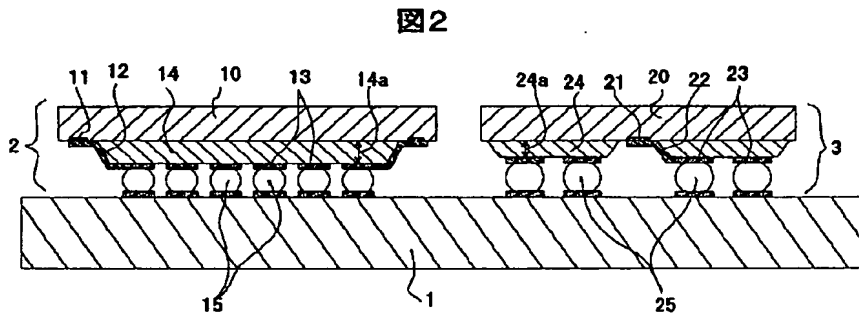
【図1】



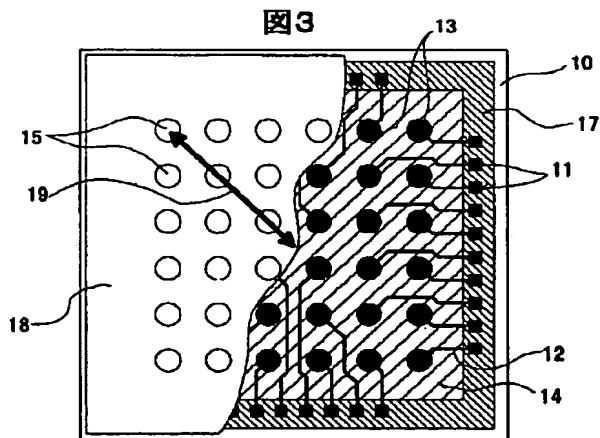
【図11】



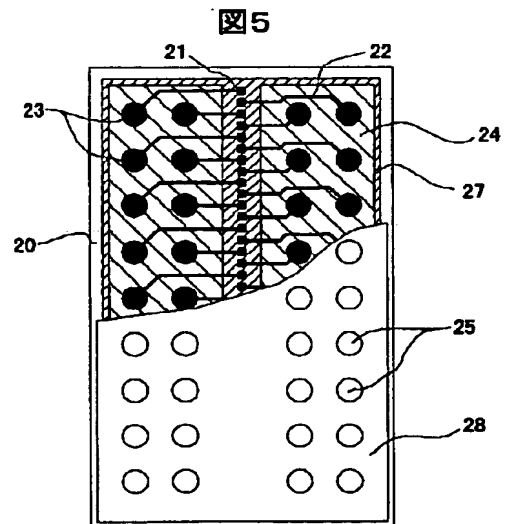
【図2】



【図3】

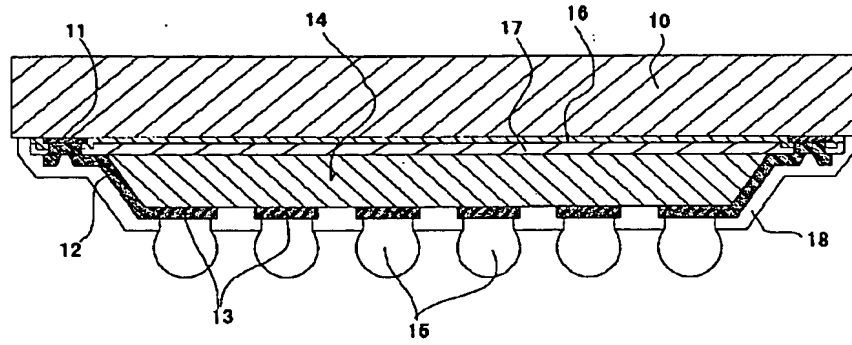


【図5】



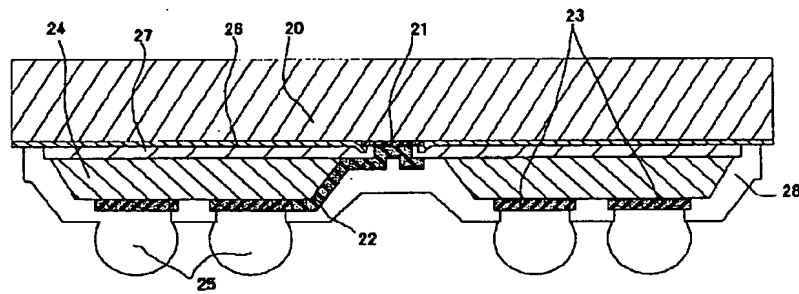
【図4】

図4



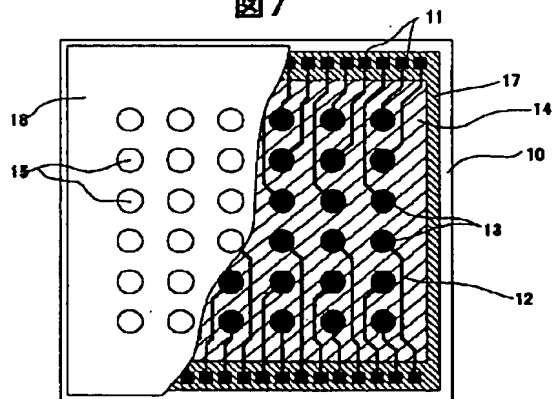
【図6】

図6



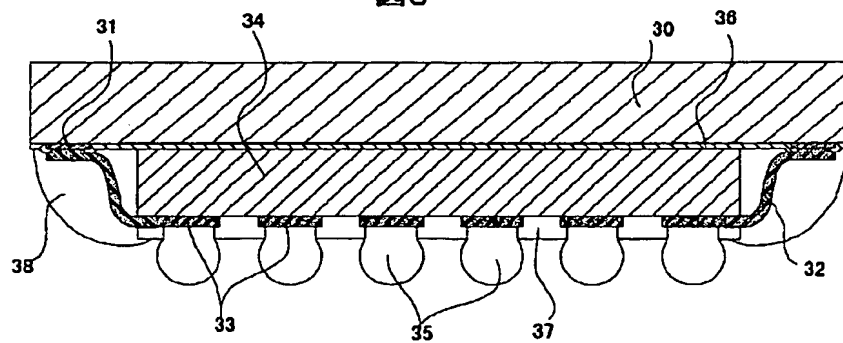
【図7】

図7



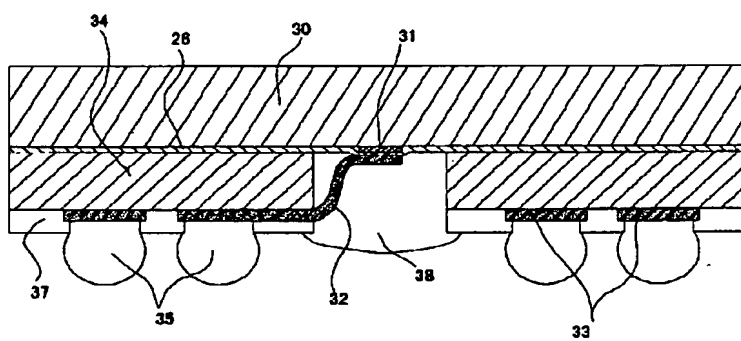
【図8】

図8



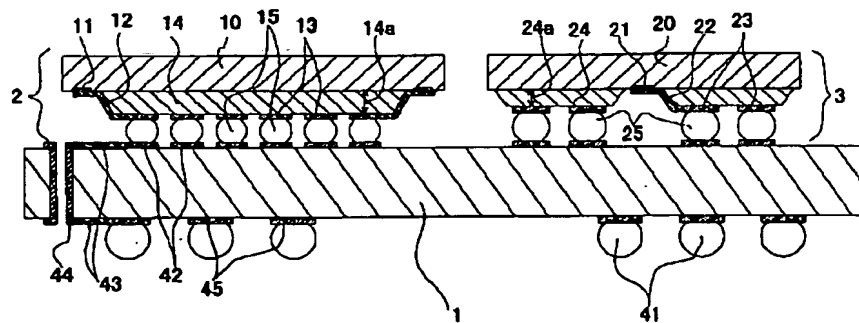
【図9】

図9



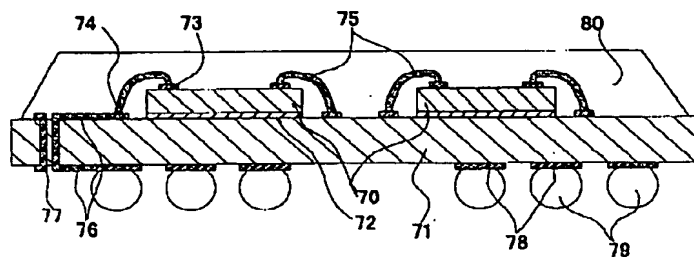
【図10】

図10



【図12】

図12



フロントページの続き

(72)発明者 三浦 英生
茨城県土浦市神立町502番地 株式会社日
立製作所機械研究所内

(72)発明者 西村 朝雄
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内